

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

## **IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
Please do not report the images to the  
Image Problem Mailbox.

**THIS PAGE BLANK (USPTO)**

## ELECTRONIC DEVICE INSPECTION SYSTEM

Patent Number: JP5322989  
Publication date: 1993-12-07  
Inventor(s): SHIONO TORU; others: 02  
Applicant(s):: SONY CORP  
Requested Patent: ☐ JP5322989  
Application Number: JP19920170056 19920518  
Priority Number(s):  
IPC Classification: G01R31/28  
EC Classification:  
Equivalents:

### Abstract

**PURPOSE:** To enable the test with a boundary scan method for the analog terminal of a digital integrated circuit as well as an analog integrated circuit.

**CONSTITUTION:** A multiplexer MUX2, when set in test mode, is controlled to set an input to an internal circuit in an open state or a state to be impressed with a proper voltage, and in normal mode, to input the data input from an input terminal Pli as it is in the internal circuit. That is, the multiplexer MUX2, when set in test mode, is controlled not to be impressed with the test data input from the input terminal Pli in the internal circuit. As there is no fear that the internals of an analog integrated circuit is destroyed by the tests data, the boundary scan method can be applied to the analog integrated circuit.

Data supplied from the esp@cenet database - I2

**THIS PAGE BLANK (USPTO)**

文庫 9

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-322989

(43)公開日 平成5年(1993)12月7日

(51)Int.Cl. <sup>8</sup> G 0 1 R 31/28	識別記号 6912-2G	庁内整理番号 G 0 1 R 31/ 28	F I V	技術表示箇所
---	-----------------	--------------------------	----------	--------

審査請求 未請求 請求項の数1(全 11 頁)

<p>(21)出願番号 特願平4-170056</p> <p>(22)出願日 平成4年(1992)5月18日</p>	<p>(71)出願人 000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号</p> <p>(72)発明者 塩野 徹 東京都品川区北品川6丁目7番35号 ソニー株式会社内</p> <p>(72)発明者 奥本 浩司 東京都品川区北品川6丁目7番35号 ソニー株式会社内</p> <p>(72)発明者 松野 克巳 東京都品川区北品川6丁目7番35号 ソニー株式会社内</p> <p>(74)代理人 弁理士 高橋 光男</p>
--	--

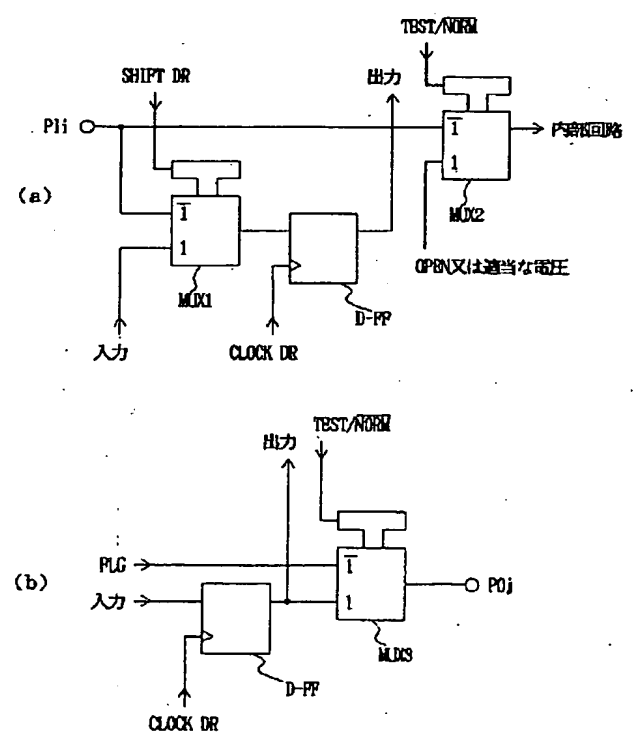
(54)【発明の名称】 電子装置検査システム

(57)【要約】

【目的】 デジタル集積回路のアナログ端子及びアナログ集積回路に対してもバウンダリスキャン方式によるテストを可能にする。

【構成】 マルチプレクサMUX2は、テストモードに設定された時に内部回路の入力をオープン状態もしくは適当な電圧が印加される状態にし、通常モードでは入力端子P I iから入力されたデータをそのまま内部回路に入力するように制御される。つまり、マルチプレクサMUX2はテストモードに設定された時に、入力端子P I iから入力されるテストデータが内部回路に印加されないようにする。テスト信号によりアナログ集積回路の内部が破壊される恐れがなくなるので、アナログ集積回路に対してもバウンダリスキャン方式によるテストを行うことができる。

アナログ入力信号の電圧H?



+

## 【特許請求の範囲】

【請求項1】 電子装置を構成する複数の集積回路の入出力端子間の接続状態をバウンダリスキャン方式を用いて検査するシステムにおいて、前記複数の集積回路中、少なくともアナログ集積回路のバウンダリスキャンセル及びデジタル集積回路のアナログ端子のバウンダリスキャンセルにはテストモード時にテスト信号が該アナログ集積回路の内部回路に印加されないようにする回路を設けたことを特徴とする電子装置検査システム。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、電子装置を構成する複数の集積回路、特にアナログ集積回路を含む複数の集積回路の入出力端子の接続状態を検査するシステムに関するものである。

## 【0002】

【従来の技術】従来、集積回路には図8に示すようにデータの平行入力端子PI及び平行出力端子POが設けられており、さらにマイクロコンピュータ又は他のICとの間でシリアル通信を行うためのシリアルインタフェースSIFが設けられている。このシリアルインタフェースSIFにおいては、データのシリアル入力端子SI、データのシリアル出力端子SO、通信用のクロック端子SCK、及び通信相手の選択用としてのチップセレクト端子CSが設けられている。なお、実際の集積回路では、平行入力端子PI及び平行出力端子POはこのように規則的に配列されているとは限らないし、集積回路によっては入出力を兼用する端子も存在する。また、バケット入力端子PIを有しない集積回路もある。しかし、説明を簡単にするためこのように記載した。

【0003】このような構成の集積回路を複数接続する場合、図9に示すように第1の集積回路ICAの平行出力端子POを第2の集積回路ICBの平行入力端子PIに接続すると共に、シリアルインタフェースSIFのシリアル入力端子SI、シリアル出力端子SO及びクロック端子SCKを各集積回路ICA及びICBに対して共通に接続する。また、各集積回路ICA及びICBのチップセレクト端子CSは制御用のマイクロコンピュータ（以下、マイコンという）COMからそれぞれ別々に接続され、通信する相手をチップセレクト端子CSで選択することにより、時分割通信を行うように構成されている。

【0004】ところで、この種の集積回路を接続してデータの送受信を行う場合、各集積回路の平行入力端子PI、平行出力端子POがそれぞれ確実に接続されているか否かを検査する必要がある。特に、限られた面積の基板上に多数の集積回路を高密度で配置する場合、配線処理が複雑になることにより、配線の接続状態

を確実に検査することが一段と困難化するという問題点があった。

【0005】この問題点を解決するための一つの方法として、いわゆるバウンダリスキャン（Boundary-Scan：以下、B/Sという）と呼ばれる検査方法が考えられている（IEEE Std 1149.1-1990）。すなわち、図1に示すようにこの種の集積回路IC11は、データの平行入力端子PI及び平行出力端子POとシリアル通信を行うためのシリアルインタフェースSIFとを有する構成に加えてB/S用のテストインタフェースTIFを備えている。

【0006】このテストインタフェースTIFは外部からテストデータをシリアルで入力するテストシリアル入力端子TSIと、入力されたテストデータをシリアルで出力するテストシリアル出力端子TSOと、テストデータ処理用のクロックを入力するテストクロック入力端子TCKと、集積回路IC11をテストモードに設定する指令を入力するためのテストモードセレクト端子TMSとを有する。

【0007】この集積回路IC11の内部は図11に示すように、平行入力端子PI及び所定のデータ処理を実行するファンクションロジック（FLG）の間に、平行入力端子PIの各入力端子PI1～PI4に対応してB/SセルBC1～BC4が設けられている。また、平行出力端子PO及び所定のデータ処理を実行するファンクションロジック（FLG）の間に、平行出力端子POの各出力端子PO5～PO8に対応してB/SセルBC5～BC8が設けられている。なお、テストクロック入力端子TCK及びテストモードセレクト端子TMSは省略した。

【0008】図12はB/Sセルの構成の1例を示すブロック図で、(a)は図11のB/SセルBC1～BC4に相当する入力セル、(b)は図11のB/SセルBC5～BC8に相当する出力セルである。

【0009】図12(a)において、入力端子PIi（図11ではiは1から4までの整数）から入力されたデータはファンクションロジック（FLG）とマルチプレクサMUXの第1入力に送出される。マルチプレクサMUXの第2入力には前段の出力データ（このB/SセルがBC1に相当する場合はテストシリアル入力端子TSIへの入力データ、BC2～BC4に相当する場合はそれぞれBC1～BC3の出力データ）が入力されている。そして、マルチプレクサMUXはテストモードに設定された時に入力端子PIiからのデータを取り込んでDフリップフロップD-FFに出力し、さらに「SHIFT DR」が入力された場合には前段からのデータをDフリップフロップD-FFに出力する。そして、この状態でDフリップフロップD-FFにクロック信号CLOCK DRを送出すると、DフリップフロップD-FFの出力が次段のB/Sセルに転送される。

【0010】次に、図12(b)において、ファンクションロジック(FLG)から入力されたデータはマルチプレクサMUXの第1入力に入力される。また、前段のB/Sセルから入力されたデータはDフリップフロップD-FFを介してマルチプレクサMUXの第2入力に入力される。マルチプレクサMUXはテストモードに設定された時にDフリップフロップD-FFの出力を出力端子PO<sub>j</sub>(図11ではjは5から8までの整数)に送出し、通常モードではファンクションロジック(FLG)から入力されたデータを出力端子PO<sub>j</sub>に送出する。DフリップフロップD-FFの出力は次段(このB/SセルがBC8に相当する場合はテストシリアル出力端子TSO、BC5~BC7に相当する場合はB/SセルBC6~BC8)にも出力される。

【0011】なお、図示されていないが、図11の集積回路IC11には「SHIFT DR」やクロック信号CLOCK DRを発生して各B/Sセルに送出する回路及び通常モード時にシリアルインタフェースSIFから入力されたデータを処理してファンクションロジックFLGのモード設定、パラメータ設定等を行う通常信号処理回路が設けられている。

【0012】以上のように構成された集積回路IC11はテストモード時に以下の各動作を行う。

(1) テストシリアル入力端子TSIから入力された4ビットのシリアルデータをB/SセルBC1~BC4に一旦格納した後、クロック信号CLOCK DRに基づいてB/SセルBC5~BC8に転送し、さらにテストシリアル出力端子TSOから出力する。

(2) 入力端子PI1~PI4をからパラレルに入力された4ビットのデータをB/SセルBC1~BC4に一旦格納した後、クロック信号CLOCK DRに基づいてB/SセルBC5~BC8に転送し、テストシリアル出力端子TSOを介してシリアルデータとして出力する。

(3) テストシリアル入力端子TSIから入力された4ビットのシリアルデータをB/SセルBC1~BC4に一旦格納した後、クロック信号CLOCK DRに基づいてB/SセルBC5~BC8に転送し、さらにそれぞれ対応した出力端子PO5~PO8からパラレルデータとして出力する。

【0013】このように、テストインタフェースTIF及びB/SセルBC1~BC8を有する集積回路IC11と同様な構成の集積回路IC12~IC14をそれぞれ図12に示すように接続し、第1の集積回路IC11のテストシリアル入力端子TSIにテスト用の4ビットのシリアルデータであるテストデータTDを入力する。このテストデータTDは、図10に示されている集積回路IC11のパラレル出力端子PO側に設けられたB/SセルBC5~BC8に格納され、さらにパラレル出力端子POからそれぞれ続く第2の集積回路IC12の入

力端子PIに出力される。

【0014】第2の集積回路IC12のパラレル入力端子PIに入力されたテストデータTDは、第2の集積回路IC12のパラレル入力端子PIに対応して設けられたB/Sセル(図11のB/SセルBC1~BC4と同様に格納され、さらに集積回路IC12のパラレル出力端子POに対応したB/Sセル(図11のB/SセルBC5~BC8と同様に転送され、テストシリアル出力端子TSOから出力される。以下、同様に集積回路IC13及びIC14においても、それぞれのテストシリアル入力端子TSI及びテストシリアル出力端子TSOを介して入出力される。

【0015】このようにして集積回路IC11のパラレル入力端子PI及び集積回路IC12のパラレル出力端子PO間のパラレル信号線を介してテストデータTDが出力されることにより、例えばテストデータTDとして「1111」が入力された場合、集積回路IC11のパラレル出力端子PO及び集積回路IC12のパラレル入力端子PI間のパラレル信号線に断線又は接続不良等があれば、第2の集積回路IC12のテストシリアル出力端子TSOから出力されるシリアルデータは、不良箇所に対応したデータだけが「0」となり、例えば「1011」等のようなデータとなって出力される。

【0016】したがって、この出力データに基づいて第1の集積回路IC11及び第2の集積回路IC12の接続状態を検査することができる。なお、実際の集積回路では、例えば、IC11とIC13も接続されていたり、IC12の出力がIC11に入力されている場合もあるが、ここでは説明を簡単にするために、規則的に接続されている場合を示した。

【0017】図14は従来の電子装置検査システムの構成を示すブロック図である。ここで、図10及び図11との対応部分に同一の符号を付してある。カメラ一体型VTR等の電子装置20は1つの基板上に2つの集積回路IC21及びIC22が設けられており、集積回路IC21のパラレル出力端子PO及び集積回路IC22のパラレル入力端子PIがそれぞれ接続され、2個の集積回路IC21及びIC22間でデータを送受するように構成されている。また、集積回路IC21及びIC22のそれぞれのシリアルインタフェースSIFはセレクト23、内部通信バス24を介してマイコンCOMに接続されており、マイコンCOMと集積回路IC21、IC22間でシリアル通信を行うように構成されている。

【0018】以上のように構成された電子装置20において、セレクト23には外部端子部25が接続されており、そのセレクト端子SELが「H」レベルに制御されたとき、セレクト23は図13に破線で示すようにマイコンCOMから外部端子部25側に切り替わるように構成されている。また、外部端子部25には第1の双方向通信バス26を介して検査装置27が接続されており、

検査装置27が外部端子部25に対して各種制御データの送信を行い、かつ、外部端子部25を介して電子装置20の内部通信バス24に対して直接テストデータの送受信を行うように構成されている。

【0019】さらに、マイコンCOMには外部バスインタフェース28が接続されており、外部バスインタフェース28には外部通信バス(第2の双方向通信バス)29を介して検査装置27が接続されている。外部通信バス29は、従来、電子装置20のリモコン制御、集積回路IC21及びIC22のモード設定、パラメータ設定等に用いるデータの送受信に用いられていたもので、ここでは検査装置27がマイコンCOMにテストを行うことを知らせるために用いている。この外部バスインタフェース28及び外部通信バス29としては、例えば、本出願人の提案したLANC(Local Application Control Bus System:登録商標)と呼ばれるものがある。LANCの詳細については、例えば、特開昭61-147687号公報に記載されているので、ここでは説明しない。

【0020】図14において、検査装置27により外部端子部25のセレクト端子SELが「H」レベルに制御されたとき、セレクト23は破線で示すようにマイコンCOMから外部端子部25側に切り替わる。この状態においては、外部端子部25のテストシリアル出力端子TSO、テストシリアル入力端子TSI及びテストクロック端子TCKが集積回路IC21及びIC22のそれぞれのシリアルインタフェースSIFのシリアル入力端子SI、シリアル出力端子SO及びクロック入力端子CLKに接続される。

【0021】また、この時、外部端子部25のチップセレクト端子CSAは集積回路IC21のチップセレクト端子CSに接続され、さらに外部端子部25のチップセレクト端子CSBは集積回路IC22のチップセレクト端子CSに接続される。これら2つのチップセレクト端子CSA及びCSBを用いて集積回路IC21及びIC22を別々に動作させることにより、シリアルインタフェースに接続される内部通信バス24において、集積回路IC21及びIC22のそれぞれのシリアル出力端子SOからのデータが同時に出力されないように構成されている。

【0022】ここで、外部端子部25のテストモードセレクト端子TMSは集積回路IC21及びIC22のテストモードセレクト端子TMSに接続されており、テストモードセレクト端子TMSの論理レベルに応じて集積回路IC21及びIC22をテストモードに設定するように構成されている。このテストモードにおいては、集積回路IC21のシリアル入力端子SIに入力されたテストデータはB/SセルB/SセルBC1~BC4(図示せず)からBC5~BC8に転送され、パラレル出力端子POから集積回路IC22のパラレル入力端子PI

に送出される。そして、集積回路IC22のパラレル入力端子PIに入力されたテストデータはB/SセルBC1~BC4からB/SセルBC5~BC8(図示せず)に転送され、シリアル出力端子SOから出力するように構成されている。

【0023】この検査システムでは、集積回路IC21及びIC22にテストインタフェースTIFを設けず、シリアルインタフェースSIFからテストデータを入力する。そのため、通常モード時にシリアルインタフェースSIFから入力されたデータを通常信号処理回路に送出し、テストモード時にシリアルインタフェースSIFから入力されたデータをB/Sセルに送出するためのスイッチング回路が必要であるが、テストインタフェースTIFが省略されているので、集積回路の構成が簡略化されている。

【0024】

【発明が解決しようとする課題】しかしながら、前記従来の電子装置検査システムはアナログ集積回路のテストに使用することができないという問題点があった。すなわち、図12(a)に示したように入力側のB/Sセルでは、入力端子PIiのテストデータがファンクションロジック(FLG)に入力されている。アナログ集積回路ではこのファンクションロジック(FLG)に相当する内部回路は、例えば2.5V±0.5V程度の電圧で動作するのに対して、テストデータはVccとGNDとの間、例えば5Vの振幅を有するので、テストデータが内部回路を破壊してしまう恐れがある。

【0025】同様に、A/DコンバータやD/Aコンバータを内蔵したデジタル集積回路等のようなアナログ端子を有するデジタル集積回路に対して、そのアナログ端子の接続状態の検査に使用することができないという問題点があった。そのため、前記従来の電子装置検査システムはAV機器等、アナログ集積回路とデジタル集積回路が混在している電子装置のテストに使用することができなかった。

【0026】本発明は、前記問題点を解決して、デジタル集積回路のアナログ端子及びアナログ集積回路に対してもB/S方式によるテストを可能にする電子装置検査システムを提供することを目的とするものである。

【0027】

【課題を解決するための手段】前記問題点を解決するために、本発明は、電子装置を構成する複数の集積回路の入出力端子間の接続状態をB/S方式を用いて検査するシステムにおいて、複数の集積回路中、少なくともアナログ集積回路のB/Sセル及びデジタル集積回路のアナログ端子のB/Sセルにはテストモード時にテスト信号がアナログ集積回路の内部に印加されないようにする回路を設けたものである。

【0028】

【作用】本発明によれば、以上のように電子装置検査シ



システムを構成したので、テストモード時には、少なくともアナログ集積回路の内部にはテスト信号が印加されなくなる。その結果、テスト信号によりアナログ集積回路の内部が破壊される恐れがなくなる。したがって、B/S方式による検査をデジタル集積回路のアナログ端子及びアナログ集積回路にも適用することができる。

【0029】

【実施例】以下、本発明の実施例について図面を参照しながら詳細に説明する。図1は本発明の実施例におけるB/Sセルの構成を示すブロック図であり、(a)は入力セル、(b)は出力セルを示す。ここで、図12との対応部分には同一の番号を付してある。

【0030】図1(a)において、入力端子P I iから入力されたデータはマルチプレクサMUX 1の第1入力とマルチプレクサMUX 2の第1入力に送出される。マルチプレクサMUX 1の第2入力には前段の出力データ(このB/Sセルが図11のBC 1に対応する場合は、テストシリアル入力端子T S I、BC 2~BC 4に対応する場合はそれぞれBC 1~BC 3の出力)が入力されている。そして、マルチプレクサMUX 1はテストモードに設定された時に入力端子P I iからのデータを取り込んでDフリップフロップD-F Fに出力する。また、「SHIFT DR」が入力された場合には前段からのデータをDフリップフロップD-F Fに出力する。そして、この状態でDフリップフロップD-F Fにクロック信号CLOCK DRを入力すると、DフリップフロップD-F Fの出力が次段のB/Sセルに転送される。以上の動作は図12(a)に示した従来の入力セルと同じである。

【0031】また、マルチプレクサMUX 2の第2入力はオープン状態もしくは内部回路を破壊しない程度の適当な電圧に接続されている。そして、テストモードに設定された時に内部回路の入力をオープン状態もしくは適当な電圧が印加される状態にし、通常モードでは入力端子P I iから入力されたデータをそのまま内部回路に入力するように制御される。すなわち、マルチプレクサMUX 2はテストモードに設定された時に、入力端子P I iと内部回路を切り離す機能を持っている。

【0032】次に、図1(b)において、内部回路から入力されたデータはマルチプレクサMUX 3の第1入力に入力される。また、前段のB/Sセルから入力されたデータはDフリップフロップD-F Fを介してマルチプレクサMUX 3の第2入力に入力される。マルチプレクサMUX 3はテストモードに設定された時にDフリップフロップD-F Fの出力を出力端子P O jに送出し、通常モードでは内部回路から入力されたデータを出力端子P O jに送出する。DフリップフロップD-F Fの出力は次段(このB/Sセルが図11のBC 8に対応する場合は、テストシリアル出力端子T S O、BC 5~BC 7に対応する場合はB/SセルBC 6~BC 8)にも出力

される。すなわち、この出力セルでは、マルチプレクサMUX 3が通常モード時に内部回路から入力されたアナログデータをそのまま通過させるアナログスイッチとして機能する点が、図12(b)に示したマルチプレクサMUXと相違する。

【0033】以上説明したB/Sセルが従来のB/Sセルと異なる点は以下の通りである。すなわち、図1

(a)の入力セルではテストモード時に入力端子P I iと内部回路を切離すことにより、テストデータが内部回路を破壊することを防止する機能が付加されている。また、図1(b)の出力セルでは通常モード時に内部回路から入力されたアナログデータをそのまま通過させることによりアナログ集積回路としての動作を妨げないようにする機能が付加されている。

【0034】図2は本発明の実施例に係る電子装置検査システムの構成を示すブロック図である。カメラ一体型VTR等の電子装置1は1つの基板上に複数の集積回路が設けられており、ここでは集積回路I C 1~I C 3のみ示してある。これらはいずれもアナログ集積回路である。集積回路I C 1のバラレル出力端子P Oと集積回路I C 2のバラレル入力端子P Iが接続され、集積回路I C 2のバラレル出力端子P Oと集積回路I C 3のバラレル入力端子P Iが接続されており、これらの集積回路I C 1~I C 3間でデータを送受信するように構成されている。また、集積回路I C 1~I C 3のそれぞれのシリアルインタフェースS I Fは内部通信バス2を介してマイコンCOMに接続されており、マイコンCOMと集積回路I C 1~I C 3間でシリアル通信を行うように構成されている。なお、集積回路I C 1~I C 3に設けられたB/SセルBC 1~BC 8は図11と同じ番号が付してあるが、勿論これらは図1に示したように構成されている。

【0035】以上のように構成された電子装置1において、マイコンCOMは外部バスインタフェース3及び外部通信バス4を介して検査装置5に接続されている。外部バスインタフェース3及び外部通信バス4は従来例において説明したLANC等、電子装置1のリモコン制御、集積回路I C 1~I C 3のモード設定、パラメータ設定等に用いられているもので、ここでは検査装置5がマイコンCOMにテストデータの送受信、コマンドの送信等を行う。

【0036】図3は本発明の実施例において検査装置がマイコンCOMに送出するデータの構成図であり、B/Sデータを書込む集積回路を指定するI C指定コマンド、集積回路のB/Sセルに書込むB/Sデータのデータ長、B/Sデータ及びB/Sモード設定コマンドから構成されている。図4は本発明の実施例におけるマイコンのRAMの構成図であり、図3に示したB/Sモード設定コマンド、B/Sデータ長及びI C指定コマンドを格納するコマンドエリアCA、検査装置から入力され集

積回路へ出力されるB/Sデータを格納する出力データエリアDA1及び集積回路から入力されたB/Sデータを格納する入力データエリアDA2を有する。

【0037】図5は本発明の実施例における検査手順のフロー図、図6及び図7は図5の各ステップにおける集積回路の状態を示す説明図である。ここで、図5の集積回路IC1～IC3のB/Sセルの配置は図2と同じである。以下、図1～図7を参照しながら、集積回路IC1の平行出力端子POと集積回路IC2の平行入力端子PIの接続状態、集積回路IC2の平行出力端子POと集積回路IC3の平行入力端子PIの接続状態を順次検査する場合の手順について説明する。

【0038】まず、検査装置5は外部通信バス4及び外部バスインタフェース3を介してマイコンCOMをB/Sモードにする。マイコンCOMはB/Sモードになると、通常動作を停止する。また、テストモード選択端子TMSを「H」にして集積回路IC1～IC3をテストモードに設定する。そして、B/Sモード設定コマンド待機状態となる。

【0039】次に、検査装置5はマイコンCOMに図2に示したデータを送出する。マイコンCOMはデータを受信すると、IC指定コマンド、B/Sデータ長及びB/Sモード設定コマンドをRAMのコマンドエリアCAに格納し、B/Sデータを出力データエリアDA1に格納する(図5のステップS1)。ここでは、B/Sデータは集積回路IC1の平行出力端子POにテストデータ「1111」を設定するためのデータP1＝「11110000」であり、IC指定コマンドは集積回路IC1を指定するコマンドであり、B/Sモード設定コマンドは出力データエリアDA1に格納されたB/Sデータを集積回路に送出し、集積回路から読出されたデータを入力データエリアDA2に格納することを指令するコマンドである。この時、集積回路IC1～IC3には通常のモードにおいて格納されたデータが残っている(図6(a)の\*印)。

【0040】次に、マイコンCOMはコマンドエリアCAに格納したIC指定コマンドを読み、チップセレクト端子CSAを「H」レベルとすることにより集積回路IC1を選択する。そして、RAMの出力データエリアDA1からデータ「11110000」を読出し、集積回路IC1のシリアル入力端子SIに送信する。この時、集積回路IC1のシリアル出力端子SOからデータ「\*\*\*\*\*」が読み出され、マイコンCOMの入力データエリアDA2に格納される(図5のステップS2)。入力されたデータ「11110000」は図6(b)に示すように、前半の4ビットであるテストデータ「1111」が集積回路IC1の平行出力端子POに接続されたB/SセルBC5～BC8に格納されるので、平行出力端子POにテストデータ「1111」が現れる。後半の4ビットのデータ「0000」は

テストに使用しないので、これ以外の任意のパターンでよい。シリアル入力端子SIへの送出自ら終わると、チップセレクト端子CSAを「L」レベルにする。チップセレクト端子CSAを「L」レベルとすることによって集積回路IC1をホールドモードに制御する。このモードでは集積回路IC1の状態は変化せず、平行出力端子POのデータはテストデータ「1111」を保持する。

【0041】次に、検査装置5はマイコンCOMに図3に示したデータを送出する。マイコンCOMはデータを受信すると、ステップS1と同様に各データをコマンドエリアCAまたは出力データエリアDA1に格納する(図5のステップS3)。ここでは、B/Sデータは集積回路IC2の平行出力端子POにテストデータ「1111」を設定するためのデータP2＝「11110000」であり、IC指定コマンドは集積回路IC2を指定するコマンドである。この時、データP2はステップS1で出力データエリアDA1に格納したデータP1に上書きしてもよいし、出力データエリアDA1の別のアドレスに格納してもよい。本実施例では、RAMを節約するために上書きした。

【0042】次に、マイコンCOMはIC指定コマンドを読み、チップセレクト端子CSBを「H」レベルとすることにより集積回路IC2を選択する。そして、集積回路IC2の平行入力端子PIにおいて、集積回路IC1の平行出力端子POのテストデータ「1111」を捕捉する(図5のステップS4、図6(c))。

【0043】そして、集積回路IC2のシリアル入力端子SIにデータ「11110000」を入力する。この時、集積回路IC2のシリアル出力端子SOからデータ「\*\*\*\*1111」を読み出し、マイコンCOMの入力データエリアDA2に格納する(図5のステップS5、図7(a))。すなわち、このステップでは集積回路IC1の平行出力端子POと集積回路IC2の平行入力端子PIの接続状態を検査するデータP1の読出しと集積回路IC2の平行出力端子POと集積回路IC3の平行入力端子PIの接続状態を検査するデータP2の書込みが同時に行われる。次に、チップセレクト端子CSBを「L」レベルにすることによって、集積回路IC2をホールドモードにする。

【0044】マイコンCOMの入力データエリアDA2に格納されたデータ「\*\*\*\*1111」の後半の4ビットを図5のステップS1で出力データエリアDA1に格納したデータ「11110000」の前半の4ビットと比較することにより、集積回路IC1の平行出力端子POと集積回路IC2の平行入力端子PIの接続状態を検査する(図5のステップS6)。この比較はマイコンCOMが行っても検査装置5が行ってもよいが、マイコンCOMで行うように構成すると集積回路の構成を変更した場合にマイコンCOMのプログラムを変

更しなけなければならないのに対し、検査装置 5 で比較を行う場合は、入力データエリア DA 2 の内容を外部バスインタフェース 3 を通して検査装置 5 に読込むので、検査装置 5 のプログラムを変更するだけで対応することができる。

【0045】次に、検査装置 5 はマイコン COM に図 3 に示したデータを送出する。マイコン COM はデータを受信すると、各データをコマンドエリア CA 及び出力データエリア DA 1 に格納する（図 5 のステップ S 7）。ここでは、B/S データは集積回路 IC 3 のパラレル出力端子 PO にテストデータ「1111」を設定するためのデータ P 3 = 「11110000」であり、IC 指定コマンドは集積回路 IC 3 を指定するコマンドである。

【0046】次に、マイコン COM は IC 指定コマンドを読み、チップセレクト端子 CSC を「H」レベルとすることにより集積回路 IC 3 を選択する。そして、集積回路 IC 3 のパラレル入力端子 PI において、集積回路 IC 2 のパラレル出力端子 PO のテストデータ「1111」を捕捉する（図 5 のステップ S 8、図 7（b））。

【0047】そして、集積回路 IC 3 のシリアル入力端子 SI にデータ P 3 = 「11110000」を入力する。この時、集積回路 IC 3 のシリアル出力端子 SO からデータ「\*\*\*\*1111」を読み出し、マイコン COM の入力データエリア DA 2 に格納する（図 5 のステップ S 9、図 7（c））。すなわち、ここでもステップ S 5 と同様に集積回路 IC 2 のパラレル出力端子 PO と集積回路 IC 3 のパラレル入力端子 PI の接続状態を検査するデータ P 2 の読み出しと集積回路 IC 2 のパラレル出力端子 PO と例えば集積回路 IC 4（図示せず）のパラレル入力端子 PI の接続状態を検査するデータ P 3 の書込みが同時に行われる。

【0048】マイコン COM の入力データエリア DA 2 に格納されたデータ「\*\*\*\*1111」の後半の 4 ビットを図 5 のステップ S 3 で出力データエリア DA 1 に格納したデータ「11110000」の前半の 4 ビットと比較することにより、集積回路 IC 2 のパラレル出力端子 PO と集積回路 IC 3 のパラレル入力端子 PI の接続状態を検査する（図 5 のステップ S 10）。

【0049】以下、IC 4、IC 5・・・（図示せず）と順次同様にしてテストを行う。そして、テストデータ「1111」を用いたテストが終了したら、テストデータを「0000」として上述のテストモードを繰り返す。この結果、はじめに集積回路 IC 1～IC 3 等に入力したテストデータ「1111」及び「0000」と集積回路 IC 1～IC 3 等のシリアル出力端子 SO から出力されたデータとの比較結果を得ることができ、比較結果に差異があれば、差異のデータに対応した信号線に接続不良等の異常があることが分かる。

【0050】なお、本発明は前記実施例に限定されるものではなく、本発明の趣旨に基づき種々の変形が可能で

あり、それらを本発明の範囲から排除するものではない。例えば、前記実施例はアナログ集積回路に対して B/S を行う場合について説明したが、デジタル集積回路のアナログ端子に対しても同様にして B/S を行うことができる。また、前記実施例では検査装置が外部バスインタフェースを介してマイコンにデータを送出しているが、従来例と同様に外部端子部を介して直接内部通信バスにデータを送出するように構成してもよい。さらに、図 1 に示した B/S セルをデジタル集積回路のデジタル入出力端子に設けてもよい。

#### 【0051】

【発明の効果】以上、詳細に説明したように、本発明によればアナログ集積回路及びデジタル集積回路のアナログ端子に対しても B/S 方式を用いたテストが可能になる。そのため、AV 機器等、アナログ集積回路とデジタル集積回路が混在している電子装置のテストを B/S 方式により行うことができるので、電子装置の製造工程における生産性が向上する。

#### 【図面の簡単な説明】

【図 1】本発明の実施例における B/S セルの構成を示すブロック図である。

【図 2】本発明の実施例に係る電子装置検査システムの構成を示すブロック図である。

【図 3】本発明の実施例において検査装置がマイコン COM に送出的データの構成図である。

【図 4】本発明の実施例におけるマイコンの RAM の構成図である。

【図 5】本発明の実施例における検査手順のフロー図である。

【図 6】図 5 の各ステップにおける集積回路の状態を示す説明図である。

【図 7】図 5 の各ステップにおける集積回路の状態を示す説明図である。

【図 8】集積回路の構成を示す説明図である。

【図 9】複数の集積回路及びマイコンの接続状態を示す接続図である。

【図 10】従来の B/S 用集積回路の構成を示す説明図である。

【図 11】従来の B/S 用集積回路の内部構成を示す説明図である。

【図 12】従来の B/S セルの構成を示すブロック図である。

【図 13】複数の集積回路に対して B/S を行う場合の説明図である。

【図 14】従来の電子装置検査システムの構成を示すブロック図である。

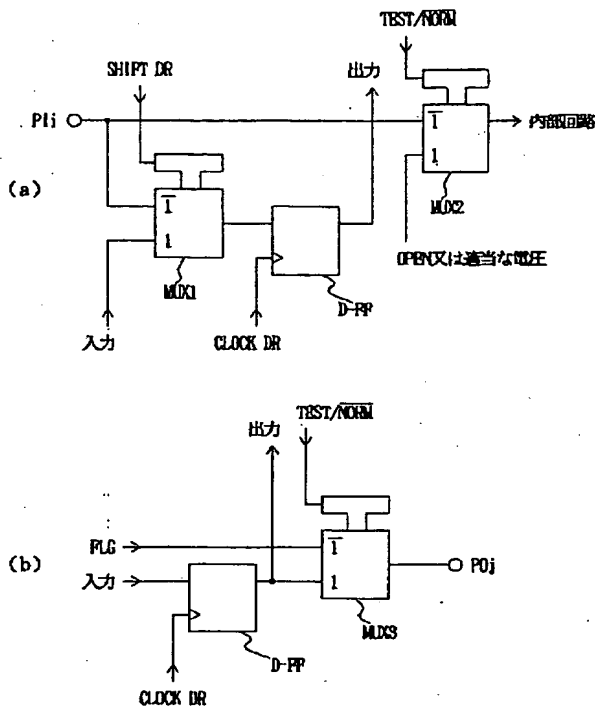
#### 【符号の説明】

MUX 1～MUX 3 マルチプレクサ

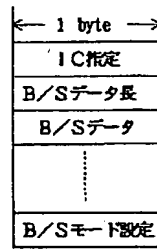
1 電子装置

IC 1～IC 3 集積回路

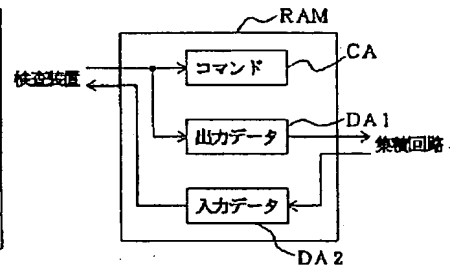
【図1】



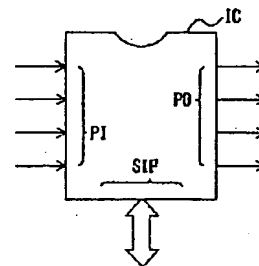
【図3】



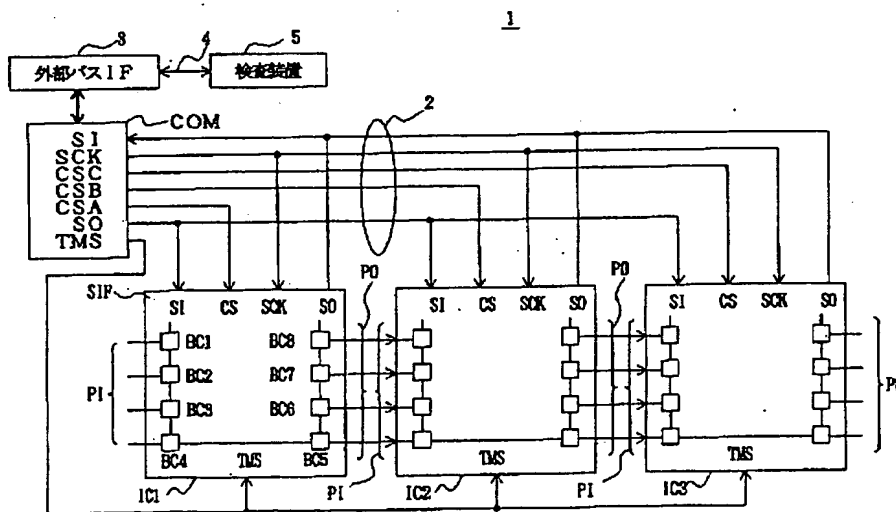
【図4】



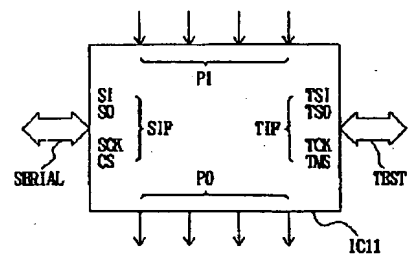
【図8】



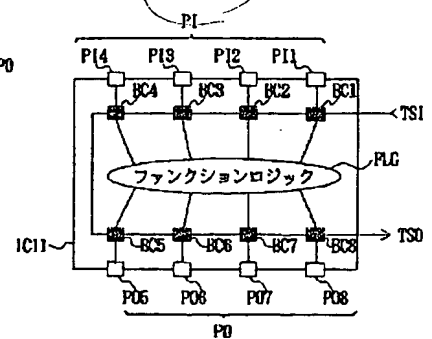
【図2】



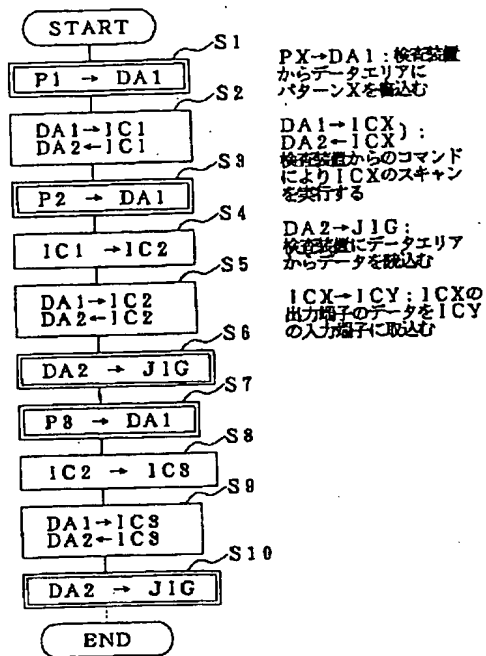
【図10】



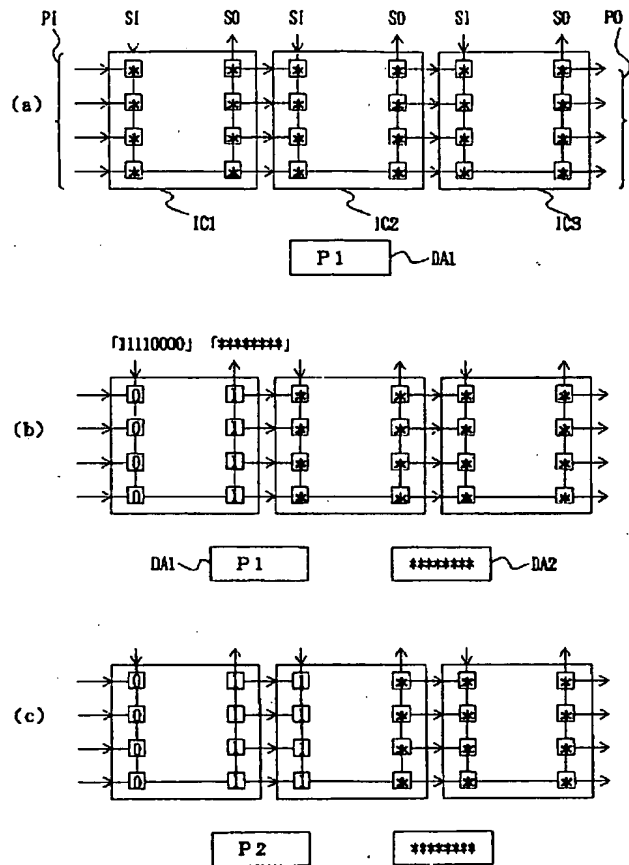
【図11】



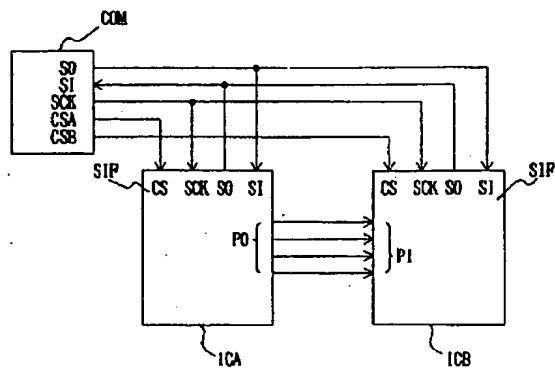
【図5】



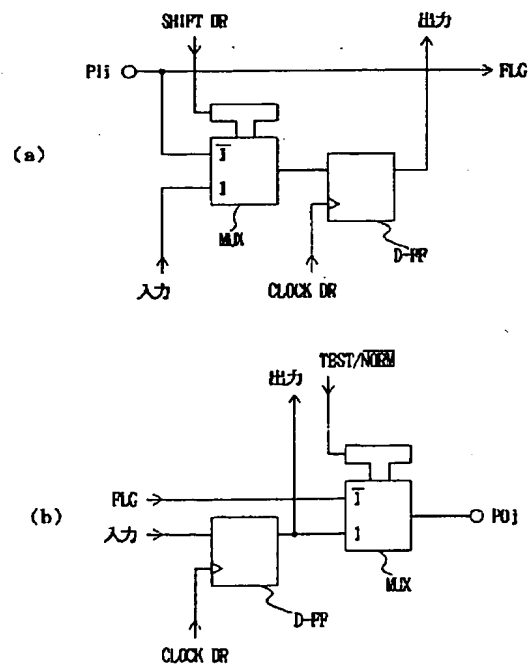
【図6】



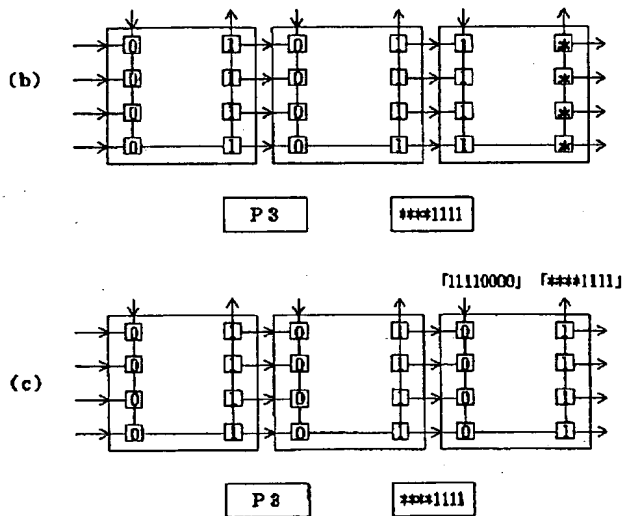
【図9】



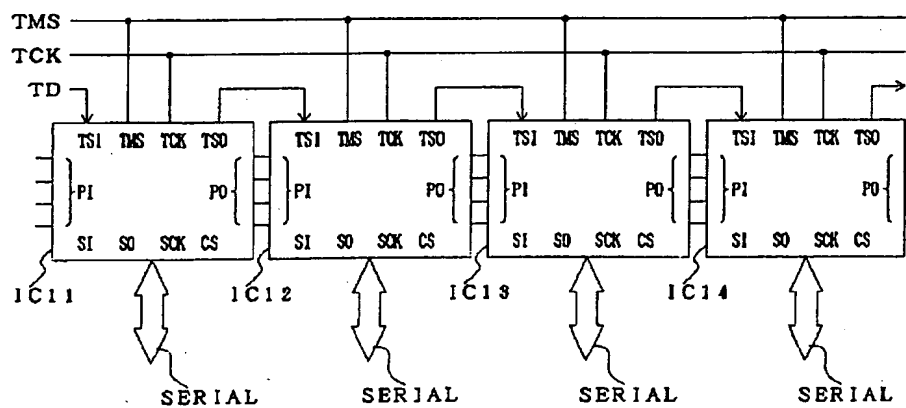
【図12】



「11110000」 「\* \* \* \* 1111」

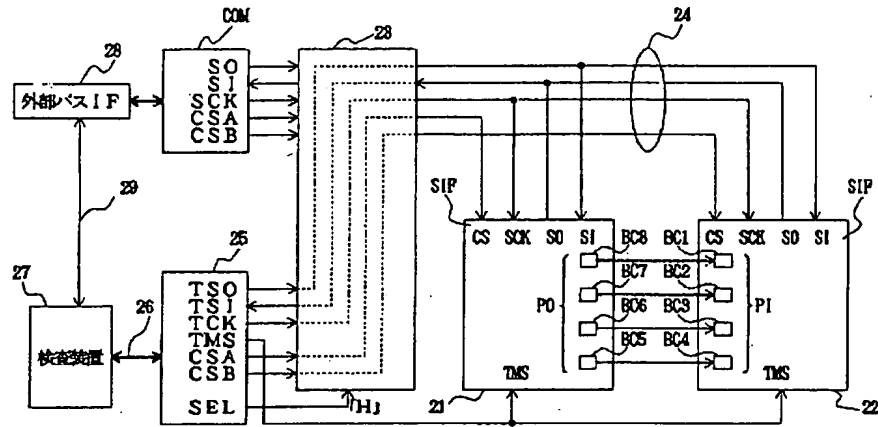


【图 13】



【図 14】

20



**THIS PAGE BLANK (USPTO)**